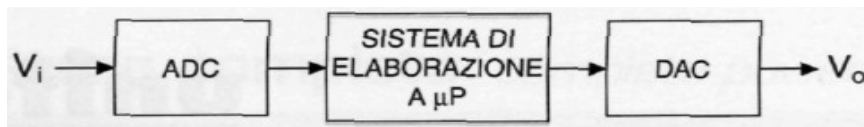


Sistema di acquisizione ed elaborazione dati

Un sistema di acquisizione ed elaborazione dati è in generale un insieme di dispositivi in grado di prelevare informazioni, normalmente di tipo analogico, tramite trasduttori, di elaborarne i contenuti, tramite un PC, ed infine di inviare una grandezza fisica di comando ad un eventuale attuatore.

Lo sviluppo tecnologico ha permesso di ottenere sistemi di elaborazione delle informazioni soprattutto di tipo digitale, basati essenzialmente sullo sfruttamento delle potenzialità del microprocessore e dei sistemi ad esso collegati (PC). Ancora di tipo analogico dovrà essere la grandezza che il sistema di elaborazione dovrà inviare all'esterno, in conseguenza dell'elaborazione effettuata (esempio la accensione di un ventilatore, di un riscaldatore, la regolazione della velocità di un motore, la regolazione della temperatura di una caldaia, ecc.). Nasce così la necessità di convenire le informazioni dal tipo analogico a quello digitale nel prelevamento delle grandezze fisiche, e viceversa dal tipo digitale a quello analogico, nella applicazione della grandezza fisica all'esterno. Si realizzano pertanto dispositivi chiamati, nel primo caso ADC (*analog-to-digital converter*), nel secondo caso DAC (*digital-to-analog converter*).

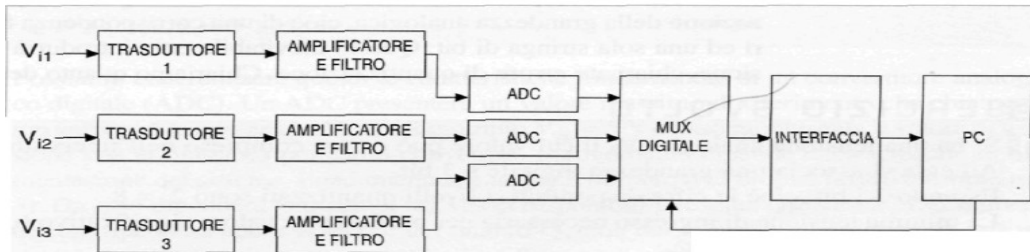
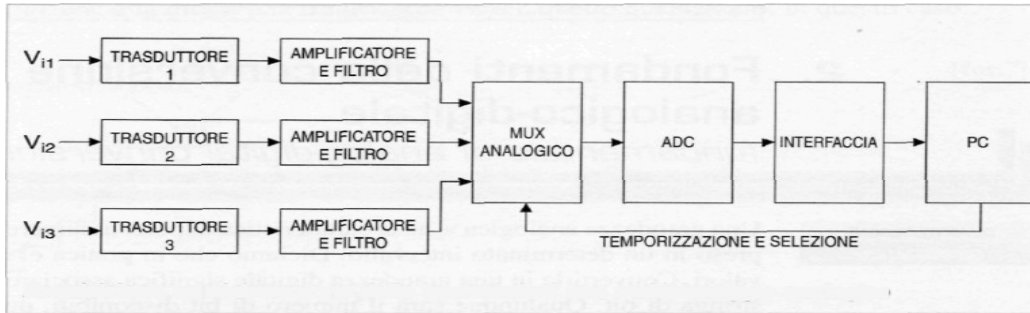
Si può così disegnare uno schema a blocchi indicativo della catena di acquisizione ed elaborazione dati.



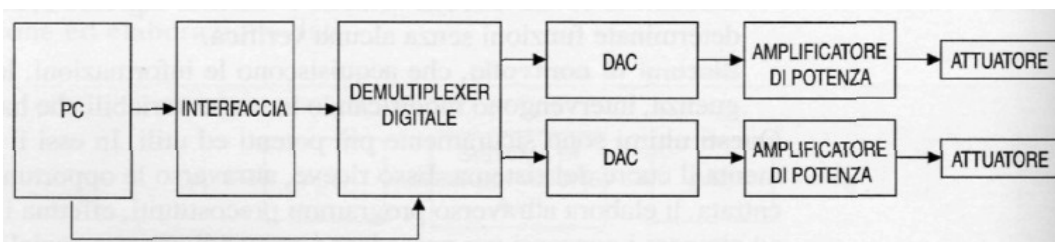
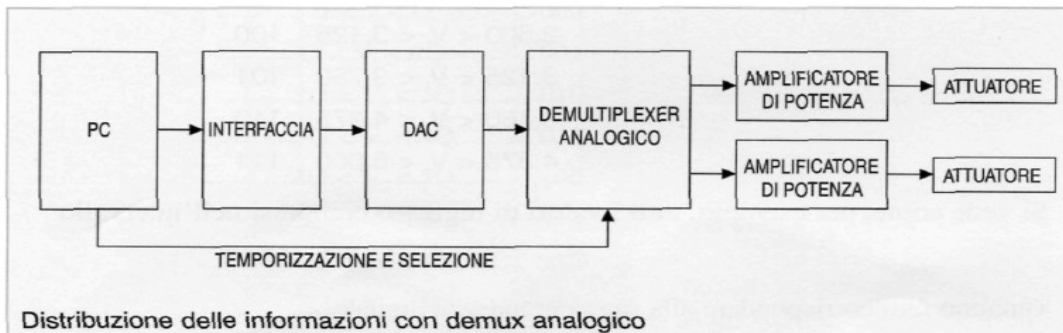
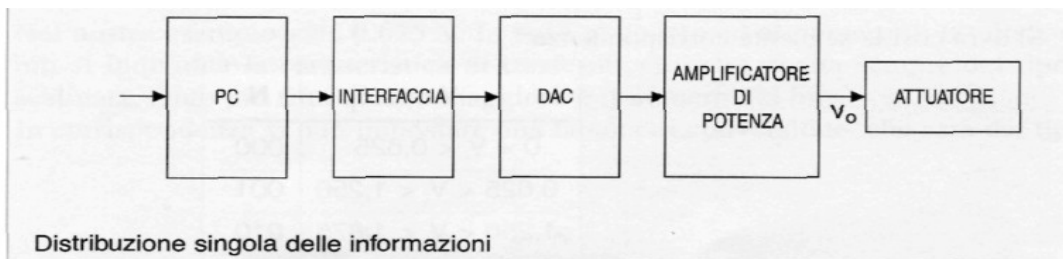
In effetti un sistema di acquisizione ed elaborazione dati risulta molto più complesso, presentando diversi blocchi componenti fondamentali, che elenchiamo.

- **Trasduttore di ingresso**, in grado di fornire in uscita una grandezza elettrica proporzionale alla grandezza fisica rilevata. Un trasduttore di temperatura darà una corrente proporzionale alla temperatura, un trasduttore di velocità darà una tensione proporzionale alla velocità, e così via.
- **Blocco di condizionamento**, che effettua in genere operazioni di amplificazione e di filtraggio del segnale, aumentandone il livello e rendendolo ottimale per le successive manipolazioni, e purificandolo da eventuali disturbi.
- **Multiplexaggio** delle informazioni ottenute da più trasduttori (esempio le temperature prelevate da diversi ambienti).
- **Campionamento** del segnale variabile in vari istanti successivi.
- **Conversione del segnale da analogico a digitale** tramite un ADC.
- **Interfacciamento** con il sistema di elaborazione, per esempio tramite una interfaccia parallela o seriale.
- **Elaborazione** software tramite la stesura di un programma in linguaggio opportuno (evoluto o assembler) che gestisca le informazioni ricevute.
- **Produzione di un segnale digitale** da inviare al dispositivo attuatore od utilizzatore.
- **Interfacciamento** con l'esterno per esempio tramite una interfaccia parallela o seriale.
- **Conversione del segnale da digitale ad analogico** tramite un DAC.
- **Distribuzione** delle informazioni, con eventuale demultiplexaggio.
- **Amplificazione** del segnale con aumento della potenza (necessaria per il comando dell' attuatore).

Gli schemi seguenti realizzano in modo completo il sistema di acquisizione ed elaborazione delle informazioni rispettivamente con multiplexaggio analogico e multiplexaggio digitale



Gli schemi seguenti realizzano la distribuzione delle informazioni.



Come si vede, sia il multiplexaggio dei dati in ingresso, che il demultiplexaggio dei dati in uscita, si possono realizzare in modo analogico o in modo digitale. La soluzione analogica permette il risparmio di dispositivo ADC e DAC, con conseguente minor ingombro della struttura complessiva,

dato che è sufficiente l'utilizzo di uno solo di essi. Il multiplexer analogico è costituito praticamente da una serie di interruttori in parallelo selezionati uno per volta, realizzati con MOS *transmission gate*. D'altra parte però la soluzione digitale, anche se presenta l'inconveniente di richiedere l'assemblaggio di più dispositivi e l'utilizzo di un numero più elevato di cavi di collegamento, presenta il vantaggio di poter sfruttare dispositivi più affidabili e precisi, come i noti mux o demux digitali. Inoltre l'utilizzo di un ADC o DAC per ogni canale permette una maggior velocità del trasferimento dei dati.

I sistemi di acquisizione ed elaborazione delle informazioni rientrano nella più ampia categoria dei sistemi automatici che si possono distinguere in due categorie fondamentali.

- **Sistemi di comando**, che sentono i valori di ingresso e, in base ad essi, effettuano determinate funzioni senza alcuna verifica.
- **Sistemi di controllo**, che acquisiscono le informazioni, le elaborano e, di conseguenza, intervengono modificando le stesse variabili che hanno causato il processo.

Questi ultimi sono sicuramente più potenti ed utili. In essi il microprocessore implementa il cuore del sistema. Esso riceve, attraverso le opportune interfacce, i segnali di entrata, li elabora attraverso programmi precostituiti, effettua i necessari controlli, fino ad ottenere i consensi per procedere a comandi consequenziali da inviare all'esterno.

Fondamenti della conversione analogico-digitale

Una grandezza analogica ha la caratteristica di poter assumere qualunque valore compreso in un determinato intervallo, in pratica essa può assumere infiniti valori. Convertirla in una grandezza digitale significa associare ad ogni suo valore una stringa di bit. Qualunque sarà il numero di bit disponibili, questi saranno sempre in numero discreto, quindi limitato, finito. Si intuisce quindi la presenza di una **quantizzazione** della grandezza analogica, cioè di una corrispondenza fra un intervallo di valori ed una sola stringa di bit. Questo inevitabilmente introdurrà un errore nella conversione, chiamato errore di quantizzazione. Possiamo concretizzare quindi le caratteristiche fondamentali di un convertitore analogico digitale (ADC). Un ADC presenterà un valore massimo di riferimento che chiameremo **valore di fondo scala** V_{FS} . Esso rappresenta il valore di tensione che al massimo possiamo convertire; normalmente dipende dalla tensione di alimentazione del sistema. Fondamentale è anche il numero n di bit. Da esso dipenderà la quantità dei valori disponibili in uscita, che sarà 2^n . Dal numero dei bit dipenderà anche il valore del quanto Q , cioè del minimo valore che provoca un valore significativo in uscita, o meglio la differenza fra due valori contigui a cui si verifica il cambio di valore dell'uscita. Esso vale sempre: $Q = V_{FS}/2^n$.

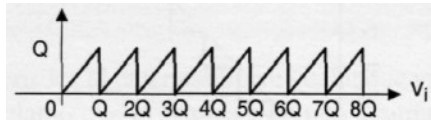
Ancora dal numero di bit dipenderà dall'**errore di quantizzazione** ϵ , definito come la differenza fra il valore vero ed il valore quantizzato: $\epsilon = V_{vero} - V_{quantizzato}$

Graficamente rappresenta la differenza fra la caratteristica ideale e quella reale. Esso al massimo sarà uguale al quanto (nell'esempio al massimo vale 0,625 V).

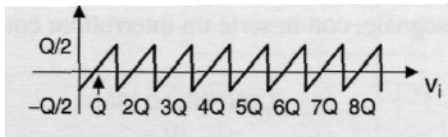
$$\epsilon_{max} = Q$$

Si intuisce che, maggiore sarà il numero dei bit disponibili, minore sarà il quanto, e minore sarà l'errore di quantizzazione, quindi più preciso il sistema di conversione. Se ad esempio, si avessero a disposizione 4 bit, le combinazioni sarebbero $2^4=16$, il quanto sarebbe $Q = 0,3125$, con conseguente riduzione del massimo errore possibile. Se rappresentiamo l'andamento dell'errore in funzione della

tensione da convertire, si ha:



Per evitare tale inconveniente è sufficiente spostare le soglie di commutazione di $Q/2$ rispetto ai multipli di Q .

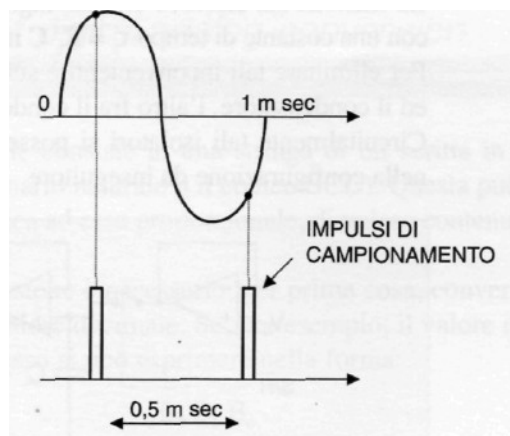


Si vede come ora l'errore si assesti intorno allo zero, assumendo valori che al massimo arrivano a $Q/2$. Inoltre l'errore è nullo proprio in corrispondenza dei multipli del quanto.

CAMPIONAMENTO

Ogni convertitore è in grado di associare una stringa di bit ad ogni livello di tensione applicato in ingresso. È necessario però che la grandezza in ingresso rimanga costante per tutto il tempo necessario per completare le operazioni di conversione. Se la tensione è variabile, il convertitore la preleverà solo in un numero discreto di istanti, realizzando così in pratica un campionamento del segnale analogico. Tale campionamento, avviene in modo periodico e ripetitivo, sotto il comando di un clock, la cui frequenza sarà soggetta a limiti ben precisi.

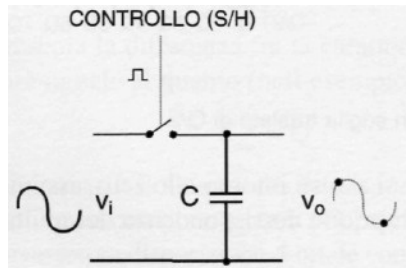
Il **teorema del campionamento o di Shannon**, stabilisce il valore minimo che deve avere la **frequenza di campionamento** perché non venga perso alcun contenuto informativo del segnale. Esso dice che un segnale variabile, di tipo periodico, è ricostruibile, attraverso i suoi campioni, se il campionamento avviene con una frequenza almeno doppia della massima frequenza delle componenti armoniche del segnale. Così, per esempio, se si ha in ingresso una semplice sinusoide di frequenza 1 kHz, sarà sufficiente campionare con una frequenza di 2 kHz, cioè una volta ogni 0,5 ms.



In pratica la frequenza di campionamento viene presa di valore molto più grande della frequenza di Shannon, in modo da rendere più semplice la ricostruzione del segnale stesso.

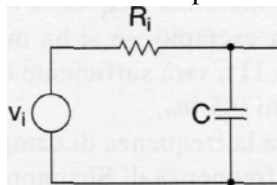
Inoltre la frequenza di campionamento è limitata anche dalle caratteristiche reali dei convertitori, che hanno un loro tempo di acquisizione (cioè un intervallo di tempo necessario per completare la conversione). In ogni caso è necessario che il segnale rimanga rigidamente costante per tutto il tempo di conversione.

Questo si ottiene con un circuito sample & hold (campionamento e mantenimento), con cui viene prelevato e memorizzato un valore della tensione di ingresso che viene poi mantenuto per tutto il tempo necessario alla conversione.



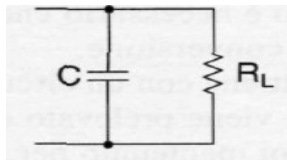
Nel modo più semplice un sample & hold è costituito da un condensatore posto in parallelo al segnale, con in serie un interruttore comandato. Nella fase di sample l'interruttore è chiuso, il condensatore si carica. Nella fase di hold l'interruttore è aperto, il condensatore rimane carico al valore precedente. Si è realizzata una memoria analogica (flip flop D).

In pratica il circuito risente dei ritardi imposti dalla carica e dalla scarica del condensatore dovuti alla presenza di una sorgente con una certa resistenza interna R e di un carico R_L . Nella fase di sample il condensatore è collegato alla sorgente. Esso si caricherà con una costante di tempo $\tau = RC$ e si dovrà attendere un tempo almeno $4..5 \tau$ per concludere l'acquisizione.



Fase di sample

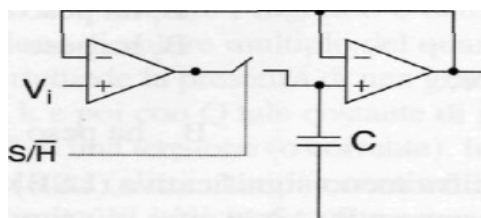
Nella fase di hold il condensatore è collegato al carico



Fase di hold

La tensione sul carico, e cioè all'ingresso del convertitore, non sarà costante, ma calerà con una costante di tempo $\tau_h = R_L C$ modificando così il valore di ingresso da convertire. Per eliminare tali inconvenienti è sufficiente inserire due isolatori, uno fra la sorgente ed il condensatore, l'altro fra il condensatore ed il carico.

Circuitalmente tali isolatori si possono realizzare con due inseguitori.



Il funzionamento del circuito è abbastanza semplice. Nella fase di sample il condensatore si carica quasi istantaneamente, con costante di tempo influenzata solo dalla piccolissima resistenza di uscita dell'amp. op. Nella fase di hold la tensione di uscita è uguale a quella del condensatore, che praticamente non si scarica, avendo una costante di tempo dipendente dalla elevatissima resistenza di ingresso dell'op.. I parametri che caratterizzano un sample & hold sono:

- acquisition time: tempo necessario perché l'uscita raggiunga il valore finale; riguarda quindi il passaggio dalla fase di hold alla fase di sample; esso tiene conto sia della carica del condensatore che della lentezza degli operazionali (slew rate) sia del ritardo dell'interruttore;
- aperture time: tempo necessario perché l'interruttore si apra completamente dopo che è stato dato il comando di hold; riguarda quindi il passaggio da sample ad hold;
- decade rate: velocità di decadimento, che indica la variazione nel tempo della tensione di uscita nella fase di hold.

Fondamenti della conversione digitale-analogica

Una informazione digitale consiste in una stringa di bit scritta in un determinato codice. Questa può essere convertita in una tensione elettrica ad essa proporzionale, di valore contenuto all'interno di un determinato range.

Per effettuare tale conversione è necessario, convenire il dato digitale nel corrispondente valore decimale. Se, per esempio, il valore digitale è di tipo binario naturale a 3 bit, esso si può esprimere nella forma: $B_2B_1B_0$ dove ogni cifra ha un valore pesato, corrispondente alla posizione occupata. Così:

B_0 ha peso $2^0 = 1$

B_1 ha peso $2^1 = 2$

B_2 ha peso $2^2 = 4$

in genere:

B_{n-1} , ha peso 2^{n-1}

B_0 è la cifra meno significativa (LSB) *less significant bit*;

B_2 è la cifra più significativa (MSB) *most significant bit*.

Al valore digitale possiamo associare il corrispondente valore decimale, ottenuto sommando fra loro tutte le cifre moltiplicate per il loro peso.

$$N = B_2 2^2 + B_1 2^1 + B_0 2^0$$

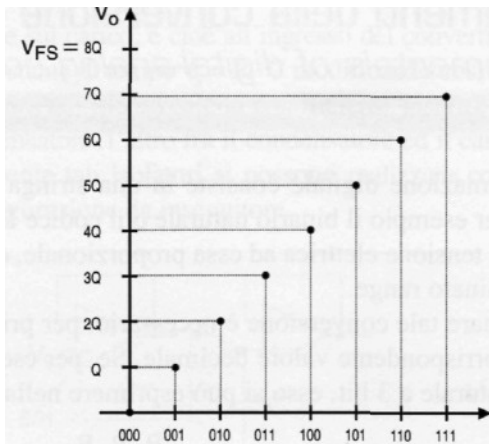
Per completare la conversione sarà sufficiente dare una valenza fisica al **numero** adimensionale ottenuto, ottenendo una tensione o una corrente. Si avrà così la grandezza in uscita dal convertitore:

$$V_o = k N = k (B_2 2^2 + B_1 2^1 + B_0 2^0)$$

dove k è una costante di proporzionalità che avrà le dimensioni di una tensione. Essa assume un particolare significato, corrispondendo al più piccolo valore della tensione di uscita, quindi con il solo $LSB = 1$. Per tale motivo prende il nome di quanto Q . Possiamo realizzare una tabella di corrispondenza per il DAC.

N	V.
000	0
001	Q
010	2Q
011	3Q
100	4Q
101	5Q
110	6Q
111	7Q

Possiamo rappresentare in un grafico la caratteristica di trasferimento del dispositivo:



Naturalmente, essendo la variabile di ingresso di tipo discreto, anche la funzione è di tipo discreto, cioè formata da una successione di punti, in corrispondenza di ogni combinazione dei bit di ingresso. Solo che, mentre l'ingresso è dato da una combinazione di cifre binarie, l'uscita è una tensione di valore multiplo del quanto.

Si è indicata con k e poi con Q la costante di proporzionalità, con dimensioni di una tensione (o corrente). In pratica nel circuito vi sarà una tensione di riferimento applicata (alimentazione continua) che individuerà anche un limite superiore ai valori dell'uscita. Si indicherà come **tensione di fondo scala**, corrispondente a: $V_{FS} = 2^n \cdot Q$.

Esercizio: Un convertitore DAC a tre bit, ha una tensione di fondo scala $V_{FS} = +5V$. Di conseguenza il quanto vale:

$$Q = \frac{V_{FS}}{2^n} = \frac{5}{2^3} = 0,625$$

La tabella di conversione è quindi:

N	V _o
000	0
001	0,625
010	1,25
011	1,875
100	2,5
101	3,125
110	3,75
111	4,375

Come si vede, il valore minimo dell'uscita è il quanto Q, mentre il massimo valore dell'uscita è

$$V_{\text{omax}} = V_{\text{FS}} - Q = (2^n - 1) Q$$

La relazione fra ingresso ed uscita si potrà esprimere in due modi. Il primo è in funzione del quanto, che qui allarghiamo ad n bit. L'uscita è data dalla seguente equazione:

$$V_o = Q N = Q (B_{n-1} 2^{n-1} + \dots + B_0 2^0)$$

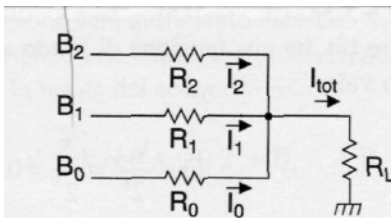
il secondo è in funzione del valore di fondo scala che si ottiene:

$$V_o = Q 2^n \left(\frac{B_{n-1}}{2} + \dots + \frac{B_0}{2^n} \right) \quad V_o = V_{\text{FS}} \left(\frac{B_{n-1}}{2} + \dots + \frac{B_0}{2^n} \right)$$

La tensione analogica di uscita è proporzionale alla stringa di bit (digitali) di ingresso.

Strutture Circuitali DAC

La struttura fondamentale di un DAC è sostanzialmente quella di un seminatore di corrente, in cui ogni bit, se attivo, darà un contributo proporzionale al proprio peso. Uno schema di principio è quindi il seguente (per esempio a 3 bit).



La corrente totale è la somma delle correnti il cui bit corrispondente è ad 1, quindi collegato al valore alto di tensione (riferimento). Potremo così scrivere:

$$I_{\text{tot}} = B_2 I_2 + B_1 I_1 + B_0 I_0$$

Ogni singola corrente risulterà, nel caso in cui il carico R_L sia molto più piccolo delle tre resistenze R:

$$I_{\text{tot}} = B_2 \frac{V_R}{R_2} + B_1 \frac{V_R}{R_1} + B_0 \frac{V_R}{R_0}$$

raccogliendo V_R si ha:

$$I_{\text{tot}} = V_R \left(\frac{B_2}{R_2} + \frac{B_1}{R_1} + \frac{B_0}{R_0} \right)$$

Confrontando tale formula con quella di un convertitore DAC generico, qui riscritta per 3 bit e con la conversione della corrente e non della tensione.

$$I_{\text{tot}} = I_{\text{FS}} \left(\frac{B_2}{2} + \frac{B_1}{2^2} + \frac{B_0}{2^3} \right)$$

notiamo che le resistenze devono essere dimensionate con valori una multipla dell'altra ed in modo inversamente proporzionale al peso della cifra corrispondente. Così basterà porre:

$$R_2 = 2R \quad R_1 = 4R \quad R_0 = 8R$$

e si otterrà così la relazione che verifica esattamente la relazione fondamentale del DAC, in cui il valore di fondo scala è:

$$I_{\text{FS}} = \frac{V_R}{R}$$

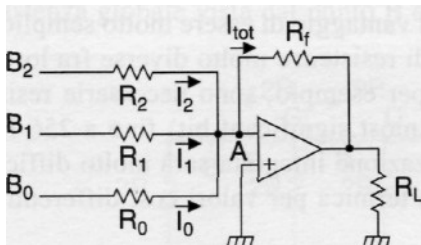
Se si calcola ora la tensione sul carico, questa è

$$V_o = R_L I_{\text{tot}} = R_L \frac{V_R}{R} \left(\frac{B_2}{2} + \frac{B_1}{4} + \frac{B_0}{8} \right)$$

con tensione di fondo scala

$$V_{\text{FS}} = R_L \frac{V_R}{R}$$

Per eliminare la limitazione che il carico R_L deve essere molto più piccolo delle resistenze R , è sufficiente disaccoppiarlo tramite un amplificatore operazionale nella configurazione invertente. In pratica si realizza così il classico circuito sommatore. L'amp. op. lavora come un convertitore corrente-tensione.



In esso sappiamo che il punto A è a massa virtuale e che il carico non influisce sulla tensione di uscita. Questa vale ora:

$$V_o = -R_f I_{\text{tot}} = -R_f \frac{V_R}{R} \left(\frac{B_2}{2} + \frac{B_1}{4} + \frac{B_0}{8} \right)$$

La struttura è in pratica formata da tre parti:

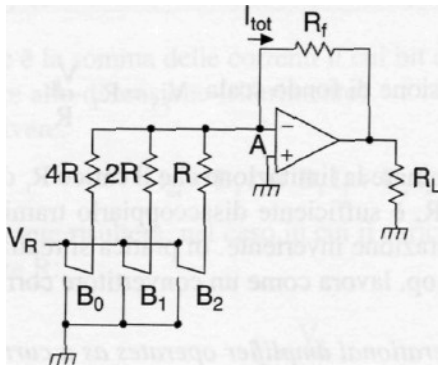
- 1) una serie di deviatori comandati dai singoli bit;
- 2) una serie di resistenze che realizzano la somma delle correnti;
- 3) un amp. op. che effettua la conversione da corrente a tensione.

Gli integrati commerciali convertitori digitale-analogici, si realizzano in pratica con tre tipi di circuiti:

- 1) a resistori pesati;
- 2) a scala $R - 2R$;
- 3) a scala $R - 2R$ invertita.

DAC A RESISTORI PESATI

I deviatori sono di tipo elettronico, cioè sono dei CMOS controllati digitalmente (bit di ingresso).



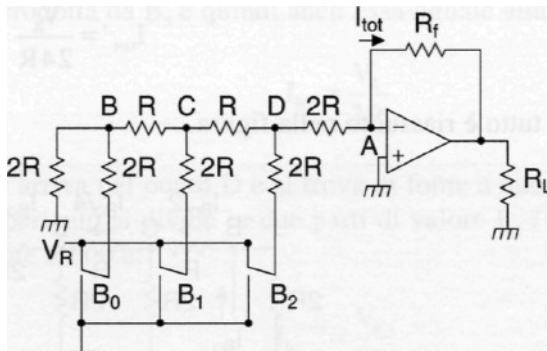
La relazione è stata già ricavata precedente ed è la seguente:

$$V_o = -R_f I_{tot} = -R_f \frac{V_R}{R} \left(\frac{B_2}{2} + \frac{B_1}{4} + \frac{B_0}{8} \right)$$

Questo circuito ha il vantaggio di essere molto semplice, ma ha l'inconveniente di richiedere valori di resistenze molto diverse fra loro. Per una struttura ad 8 bit (molto frequente), sono necessarie resistenze che andranno dal valore R (per l'MSB) fino a 256 R (per l'LSB).

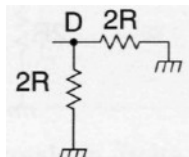
DAC A SCALA R-2R

La struttura a scala risolve il problema della disomogeneità delle resistenze, utilizzando solo valori R o 2R qualunque sia il numero di bit. In essa, l'utilizzo di resistori pesati è sostituito con la presenza di diversi percorsi resistivi che suddividono le correnti in modo differenziato, a seconda del loro peso. Lo schema circuitale è più complesso e richiede l'utilizzo di un numero maggiore di componenti.

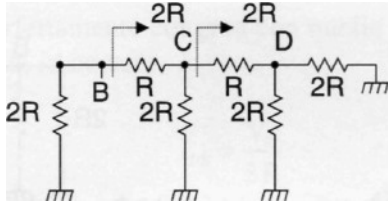


Per ricavare la equazione di funzionamento conviene applicare la sovrapposizione degli effetti, applicando un bit per volta, e ponendo gli altri a zero.

Applicando solo B_0 calcoliamo la resistenza totale vista dal generatore V_R applicato in B_0 . Si nota come la resistenza vista a destra del punto D è il parallelo di due resistenze 2R:



in quanto il punto A è a massa virtuale, ed il punto B è collegato a massa. La risultante è quindi uguale ad R. Anche la resistenza vista a destra dal punto C è uguale ad R... ed anche la resistenza globale vista dal punto B è uguale ad R:



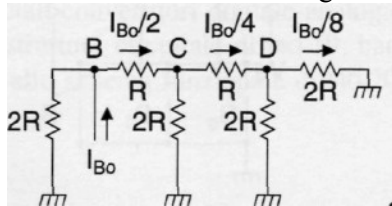
La resistenza totale vista da B_0 è quindi $R_{eq0}=3R$

La corrente prodotta da B_0 sarà quindi $I_{B0}=V_R/3R$

Tale corrente arriva nel punto B e si trova di fronte a due percorsi con resistenze uguali; essa pertanto si divide in due parti di valore $I_{B0}/2$. Nel punto C la $I_{B0}/2$ si trova ancora di fronte a due percorsi con resistenza uguale; essa si divide ancora in due parti, ottenendo così una corrente $I_{B0}/4$. Nel punto D si ripete la ripartizione, per cui il contributo di B_0 alla corrente totale è:

$$I'_{tot}=V_R/24R$$

Il tutto è riassunto nella figura.

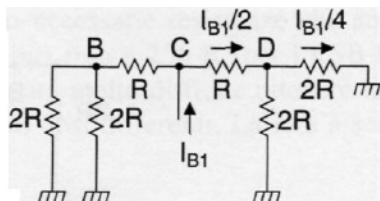


Applicando solo B_1 ripetiamo quanto fatto in precedenza, calcolando prima la resistenza equivalente vista da B_1 che risulta uguale alla precedente $R_{eq1}=3R$. La corrente prodotta da B_1 è quindi anch'essa uguale alla precedente: $I_{B1}=V_R/3R$

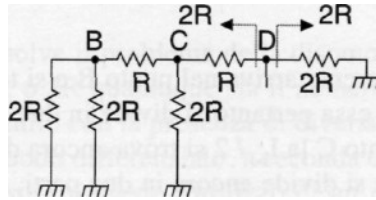
Tale corrente arriva nel punto C e si trova di fronte a due percorsi con resistenze uguali; essa pertanto si divide in due parti di valore $I_{B1}/2$. Nel punto D la $I_{B1}/2$ si trova ancora di fronte a due percorsi con resistenza uguale; essa si divide ancora in due parti, ottenendo così una corrente $I_{B1}/4$. Così il contributo di B, alla corrente totale è:

$$I''_{tot}=V_R/12R$$

Il tutto è riassunto nella figura.



Applichiamo infine solo B_2 e ripetiamo quanto fatto, calcolando prima la resistenza equivalente vista da B_2 che risulta uguale alla precedente $R_{eq0}=3R$.



La corrente prodotta da B, è quindi anch'essa uguale alla precedente:

$$I_{B2} = \frac{V_R}{3R}$$

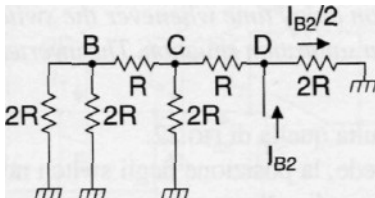
Tale corrente arriva nel punto D e si trova di fronte a due percorsi con resistenze uguali; essa pertanto si divide in due parti di valore $I_{B2} / 2$. Così il contributo di B_2 alla corrente totale è:

$$I_{tot}'' = V_R / 6R$$

Globalmente così la corrente totale in uscita dal sommatore è

$$I_{tot} = I_{tot}' + I_{tot}'' + I_{tot}''' = \frac{V_R}{6R} + \frac{V_R}{12R} + \frac{V_R}{24R}$$

Il tutto è riassunto nella figura.



Questo si verifica naturalmente solo quando il bit corrispondente è attivo. Di conseguenza le singole correnti andranno moltiplicate per il bit corrispondente. Si avrà così la formula:

$$I_{tot} = \frac{V_R}{6R} B_2 + \frac{V_R}{12R} B_1 + \frac{V_R}{24R} B_0$$

$$I_{tot} = \frac{V_R}{3R} \left(\frac{B_2}{2} + \frac{B_1}{4} + \frac{B_0}{8} \right)$$

Questa relazione è perfettamente congrua con quella generale di un DAC. Per ottenere la tensione di uscita e quindi realizzare la conversione in tensione del dato digitale in ingresso, è sufficiente moltiplicare tale corrente per $-R_f$. Così:

$$V_o = -R_f I_{tot} = -R_f \frac{V_R}{3R} \left(\frac{B_2}{2} + \frac{B_1}{4} + \frac{B_0}{8} \right)$$

Il valore di fondo scala in tensione è così:

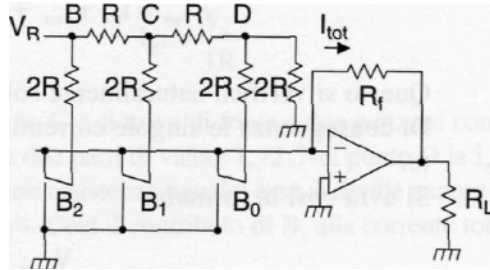
$$V_{FS} = -R_f \frac{V_R}{3R}$$

Questa realizzazione circuitale ha l'inconveniente, di non poter funzionare a frequenze elevate, cioè con rapide variazioni dello stato dei bit di ingresso.

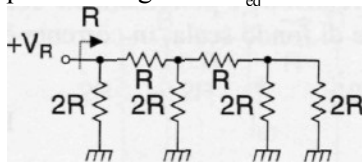
Infatti gli switch analogici, formati da elementi attivi come transistor o mosfet, nella commutazione da uno stato all'altro, devono passare dalla situazione di interdizione a quella di saturazione, o viceversa. La corrente prodotta dall'interruttore subisce dei salti bruschi. La presenza delle capacità parassite richiede un certo tempo necessario perché si esauriscano i transistori di carica e scarica. Si può rimediare a tale inconveniente utilizzando la rete a scala R-2R invertita.

DAC A SCALA R-2R INVERTITA

Come si vede, la posizione degli switch non influisce sulla loro situazione, che risulta essere sempre di collegamento a massa. Così la corrente circolante nei dispositivi attivi è sempre uguale, e viene solo deviata nel suo percorso: con B al livello basso la corrente si scarica a massa, con B a livello alto, confluisce verso l'operazionale e quindi in uscita.



La tensione di riferimento vede, in qualunque situazione si trovino gli switch, sempre una resistenza equivalente uguale a $R_{eq} = R$:



Quindi la corrente totale prodotta è fissa, e vale:

$$I_R = \frac{V_R}{R}$$

Ad ogni nodo, tale corrente si divide in due parti uguali, trovando sempre due percorsi i resistenza 2R. Così le correnti circolanti nei diversi switch valgono:

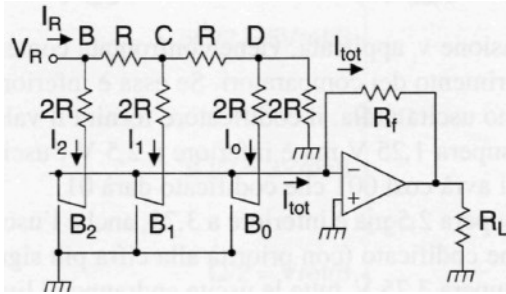
$$\text{in } B_2 \quad I_2 = \frac{V_R}{2R} \quad \text{in } B_1 \quad I_1 = \frac{V_R}{4R} \quad \text{in } B_0 \quad I_0 = \frac{V_R}{8R}$$

Le singole correnti saranno convogliate in uscita se il bit corrispondente sarà 1. Quindi:

$$I_{tot} = I_2 B_2 + I_1 B_1 + I_0 B_0 = \frac{V_R}{2R} B_2 + \frac{V_R}{4R} B_1 + \frac{V_R}{8R} B_0$$

Raccogliendo a fattor comune V_R / R si ha:

$$I_{tot} = \frac{V_R}{R} \left(\frac{B_2}{2} + \frac{B_1}{4} + \frac{B_0}{8} \right)$$



Questa relazione è perfettamente congrua con quella generale di un DAC, in cui il valore di fondo scala, in corrente è:

$$I_{FS} = V_R / R$$

Per ottenere la tensione di uscita e quindi realizzare la conversione in tensione del dato digitale in ingresso, è sufficiente moltiplicare tale corrente per $-R_f$. Così:

$$V_o = -R_f I_{tot} = -R_f \frac{V_R}{R} \left(\frac{B_2}{2} + \frac{B_1}{4} + \frac{B_0}{8} \right)$$

Il valore di fondo scala in tensione è così:

$$V_{FS} = -R_f \frac{V_R}{R}$$

Strutture circuitali ADC

Fondamentalmente si possono individuare i seguenti tipi fondamentali:

- convertitore parallelo o flash
- convertitore a gradinata
- convertitore ad integrazione
- convertitore a conversione di frequenza
- convertitore ad approssimazioni successive

Convertitore parallelo o flash

È formato da una serie di comparatori analogici e da un codificatore con priorità. Se il sistema è ad n bit di uscita, il codificatore sarà con 2^n ingressi, ma non considerando il livello zero, ne avrà $2^n - 1$. Vi saranno così $2^n - 1$ comparatori, le cui tensioni di riferimento andranno progressivamente aumentando, a partire da $V_{REF} / 2^n$ fino a $V_{REF} / 2^n (2^n - 1)$, in pratica, corrisponderanno ai multipli di un quanto, dal valore minimo Q, fino al massimo $V_{REF} - Q$. Considerando, per esempio, un convertitore a 2 bit, avremo 3 comparatori, e le tensioni di riferimento saranno:

$$Q = \frac{V_{REF}}{4} \quad 2Q = \frac{V_{REF}}{2} \quad 3Q = 3 \frac{V_{REF}}{4}$$

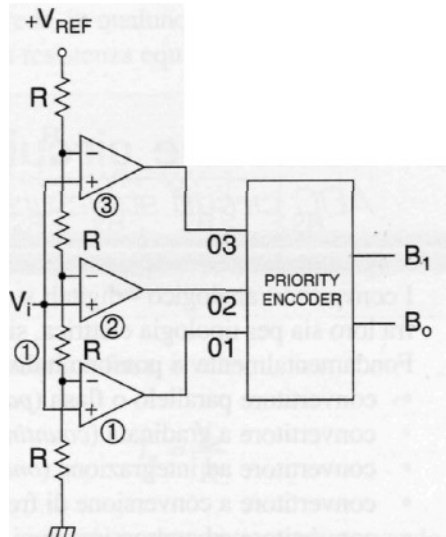
Se, la tensione di riferimento è $V_{REF} = 5 \text{ V}$, le tensioni di confronto sono: 1,25 V; 2,5 V; 3,75 V.

La tensione v_i applicata, viene confrontata contemporaneamente con le tre tensioni di riferimento dei comparatori. Se essa è inferiore a 1,25 V tutti e tre i comparatori daranno uscita nulla, il

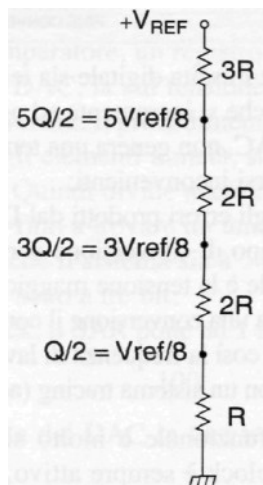
codificatore fornirà il valore zero.

Se v_i supera 1,25 V ma è inferiore a 2,5 V l'uscita del solo comp.1 andrà al livello alto, si avrà così 001 che codificato darà 01.

Se v_i supera 2,5 ma è inferiore a 3,75, anche l'uscita dell'op.2 andrà alta, si avrà così 011 che codificato (con priorità alla cifra più significativa) darà 10. Se v_i supera 3,75 V, tutte le uscite andranno al livello alto, si avrà così 111 che codificato (con priorità alla cifra più significativa) darà 11. Lo schema elettrico a due bit è riportato nella figura.



In esso sono presenti 4 resistenze uguali che realizzano gli opportuni partitori di tensione. Per limitare l'errore di quantizzazione, come si è detto, conviene traslare le soglie di commutazione di $Q/2$. Per ottenere ciò, è sufficiente cambiare il valore delle resistenze nel partitore di ingresso.

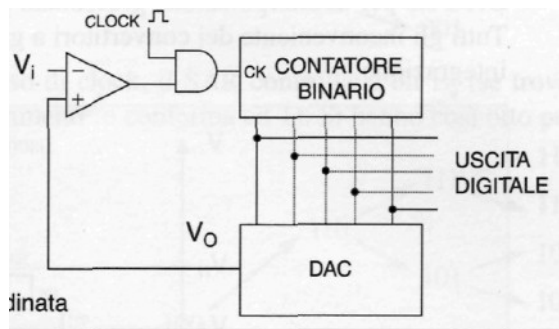


Il convertitore parallelo ha il grande pregio di essere velocissimo nella conversione (flash). La massima frequenza di lavoro è in pratica limitata solo dalle caratteristiche dell'op. e del codificatore.

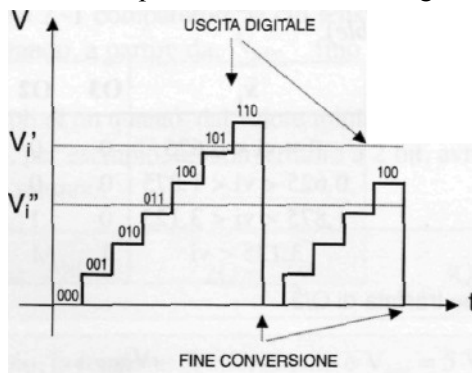
Ha però il difetto piuttosto rilevante di richiedere un numero elevato di operazionali (con 8 bit sono necessari $2^8=255$ operazionali) che condiziona il suo utilizzo a sistemi a pochi bit.

Convertitori a gradinata

I convertitori a gradinata ci introducono nella più vasta categoria dei convertitori a retroazione, e sono caratterizzati dalla presenza di un contatore che si incrementa fino al raggiungimento di una determinata condizione, di un DAC che riconverte la stringa fornita dal contatore, e da un comparatore che confronta la tensione di ingresso con quella prodotta dal DAC.



Si vede come l'uscita digitale sia temporalmente una gradinata, corrispondente ad una stringa di bit che si incrementa ad ogni impulso di clock, fino a quando la stringa, convertita dal DAC, non genera una tensione superiore alla tensione di ingresso.



Il sistema presenta diversi inconvenienti:

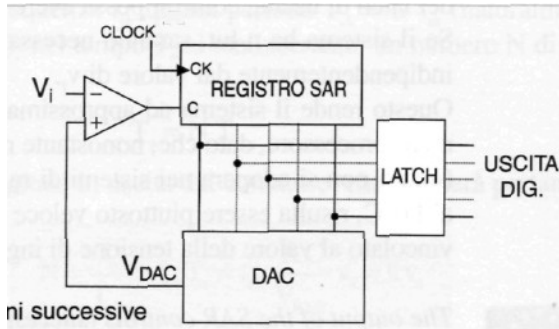
- risente degli errori prodotti dal DAC;
- ha un tempo di conversione variabile con l'ampiezza della tensione da convertire (più grande è la tensione maggiore è il tempo necessario);
- completata una conversione il contatore si deve azzerare per ricominciare il conteggio, riducendo così la frequenza di lavoro. Gli ultimi due inconvenienti si possono in parte limitare con un sistema tracing (ad inseguimento) che utilizza un contatore up / down.

Lo schema funzionale è molto simile al precedente, solo che ora il contatore è up/down, il clock è sempre attivo, e l'uscita del comparatore comanda solo il controllo up/down.

CONVERTITORE AD APPROSSIMAZIONI SUCCESSIVE

E' composto da un comparatore, un registro particolare, chiamato ad approssimazione successive, ed un DAC, la cui tensione di uscita viene confrontata con la tensione di ingresso da convertire. Il procedimento di conversione si basa sulla ricerca dicotomica, che, divisi gli elementi a metà, stabilisce in quale delle due fasce si trovi l'elemento incognito. Quindi divide ancora gli elementi rimasti a metà e ripete continuamente la ricerca fino a trovare un unico elemento. Nello schema

supponiamo che il sistema sia a 3 bit. Così il registro ad approssimazioni successive ed il DAC sono a tre bit.



Al primo impulso di clock, il SAR pone ad 1 il bit più significativo

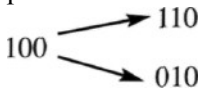
100

Tale stringa viene convertita dal DAC in una tensione V_{DAC} che viene confrontata con quella di ingresso. se risulta

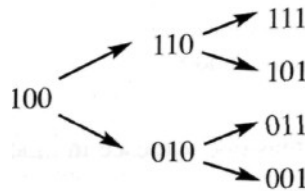
$v_i < V_{DAC}$ allora $C = 0$

$v_i > V_{DAC}$ allora $C = 1$

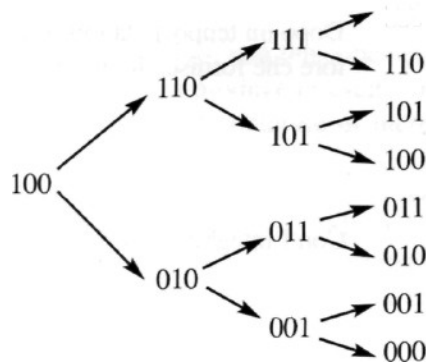
Al secondo impulso di clock, il SAR controlla il bit appena settato (se trova $C = 0$ allora lo porta a zero, altrimenti lo conferma ad 1), mentre pone a 1 il bit successivo. Si hanno così le due possibilità:



Al terzo impulso di clock, il SAR controlla il bit B_1 (se trova $C = 0$ allora lo porta a zero, altrimenti lo conferma ad 1), mentre pone a 1 il bit B_0 . Si hanno così quattro possibilità:



Al quarto impulso di clock, il SAR controlla il bit B_0 (se trova $C = 0$ allora lo porta a zero, altrimenti lo conferma ad 1). Si hanno così otto possibilità.



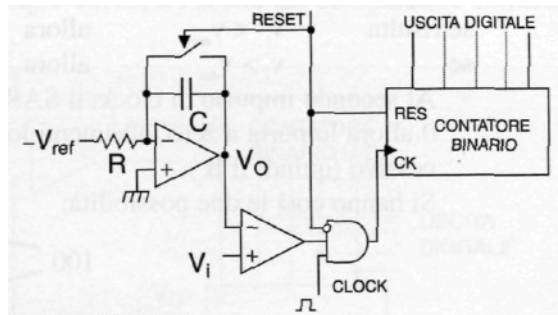
Si vede come dopo 4 impulsi di clock la conversione sia terminata e, con l'attivazione del latch di uscita, come si possa avere il dato binario corretto in uscita.

Se il sistema ha n bit, saranno necessari $n + 1$ impulsi di clock per ogni conversione indipendentemente dal valore di v_i

Questo rende il sistema ad approssimazioni successive, il più utilizzato nei sistemi a microprocessore, dato che, nonostante non sia così preciso come quelli ad integrazione, presentando soprattutto gli errori dovuti al DAC, risulta essere piuttosto veloce e soprattutto con un tempo di conversione non vincolato al valore della tensione di ingresso.

CONVERTITORI AD INTEGRAZIONE

Nei convertitori ad integrazione l'uscita digitale è sempre fornita da un contatore, ma la grandezza analogica da convertire viene confrontata con una tensione lineare prodotta da un circuito integratore. La fine del conteggio, ed il corrispondente valore di uscita, si realizzano con l'interpolazione fra due rette (il valore V_i ed il valore della rampa), quindi in modo molto preciso. Lo schema elettrico comprende quindi un circuito integratore ideale con operazionale, un comparatore, una porta logica per il gating del clock, ed un contatore.



Contatore a semplice integrazione